

# 第 11 章

## インテル® Optane™ DC パーシステント・メモリー

Cascade Lake<sup>+</sup> をベースとするインテル® Xeon® スケーラブル・プロセッサ製品は、インテル® Optane™ DC パーシステント・メモリー・モジュールをサポートします。インテル® Optane™ DC パーシステント・メモリー・モジュールは、DRAM と比較して大きな容量を持ち、かつ永続的（システムの電源を落としても内容が保持されます）です。しかし、DRAM DIMM よりもレイテンシーが長く、帯域幅は低くなります。

### 11.1 Memory モードと App Direct モード

インテル® Optane™ DC パーシステント・メモリー・モジュール DIMM は、2 つの異なるモードで使用できます。

#### 11.1.1 Memory モード

Memory モードでは、メモリーは不揮発性メモリーとして動作します。これは、オペレーティング・システムとアプリケーションからは透過です。ソフトウェアは変更を加えることなく、大容量メモリーの恩恵を受けることができます。システム上の DRAM メモリーは、メモリー側のキャッシュとして使用されます。これが意図することは、ソフトウェアがインテル® Optane™ DC パーシステント・メモリー・モジュール層の「インメモリー」データ容量を活用しながら、DRAM 層のレイテンシーを維持することです。

Memory モードでは、リブート後にインテル® Optane™ DC パーシステント・メモリー・モジュール上のデータにアクセスできなくなります。デバイス自体は不揮発性であるため、これは電源投入前に破棄されるキーによってデータを暗号化することで実装されます。ソケット上の DRAM メモリーは、インテル® Optane™ DC パーシステント・メモリー・モジュールのダイレクトマップ・キャッシュとして使用されます。これは、プロセッサのキャッシュとは異なり、キャッシュに LRU ポリシーが適用されないことを意味します。インテル® Optane™ DC パーシステント・メモリー・モジュールのキャッシュラインは、常に DRAM から同じキャッシュラインを排出します。オペレーティング・システムは、DRAM キャッシュから排出すべきではないデータを保持するページと競合しないページのアドレスを使用することによって、Memory モードを最適化できます。例えば、ページテーブルを常に DRAM に保持することは有益です。ワーキングセットの大きさはパフォーマンスを決定付けます。アプリケーションのワーキングセットが DRAM に収まる場合、パフォーマンスはインテル® Optane™ DC パーシステント・メモリー・モジュールのレイテンシーと帯域幅の影響をそれほど受けません。

#### 11.1.2 App Direct モード

App Direct モードではメモリーはデバイスとして扱われ、ファイルシステムとしてフォーマットできます。1 つの選択肢は、インテル® Optane™ DC パーシステント・メモリー・モジュールを超高速ブロックデバイスである、「App Direct ストレージ」と呼ばれるファイルシステムとして使用することです。これには、ソフトウェアに変更を加えることなく、I/O 集約型のアプリケーションがインテル® Optane™ DC パーシステント・メモリー・モジュールの恩恵を受けられる利点があります。しかしこれは、App Direct 高速ストレージとしてデバイスを使用しますが、パーシステント・メモリーとしては使用していません。それとは対照的に、パーシステント・メモリーとして使用するためアプリケーションを書き換えることには、大きな利点があります。「App Direct ストレージ」との大きな違いは、データをキャッシュライン単位でアクセスできることです。データをデバイスからロードまたはストアするためプロセッサのロードやストア命令が実行され、いったんページがプロセスに割り当てられると OS との対話は必要ありません。App Direct モードはパーシステント・メモリーを実装します。オペレーティング・システムは、RAM としてパーシステント・メモリーにアクセスするのではなく、「dax」と呼ばれる特殊なフラグを持ってマウントされたファイルシステムとしてアクセスします。「dax」フラグは、「App Direct モード」(dax 付きでマウント) と「App Direct モードのストレージ」(dax なしでマウント) を区別するために使用されます。dax 付きでマウントすると、次のような利点があります。

パーシステント・メモリーがアプリケーションの仮想アドレス空間にマッピングされると、読み書きはプロセッサのロードおよびストア命令で行えるようになります。これには、App Direct ストレージモードに対し、次のような利点があります。

- ・ システムコールを呼び出す必要がありません。
- ・ ページ単位 (例えば 4KB) で転送する代わりに、キャッシュライン単位 (64B) で転送されます。
- ・ メモリーの内容はパーシステント・メモリーと DRAM 間で転送する必要がなく、データのコピーは 1 つのみ存在します。
- ・ アクセスは同期的です。

パーシステント・メモリーは、ファイルシステムを介してアクセスできるため、オペレーティング・システムや従来の OS メモリー監視ツールは、システムに存在する DRAM のみを報告することに注意してください。2 つのメモリープールは互いに異なり、ソフトウェアがデータを DRAM と NVDIMM のいずれに配置するか完全に制御できることで App Direct モードは差別化されます。最適なパフォーマンスを得るため、ソフトウェアはコピーを作成するか再構築することによって、レイテンシーに敏感なデータ構造を DRAM に配置できます。例としてインデックス・データ構造が上げられます。インデックス・データ構造は通常ランダムアクセスされますが、再起動後に再構築できます。

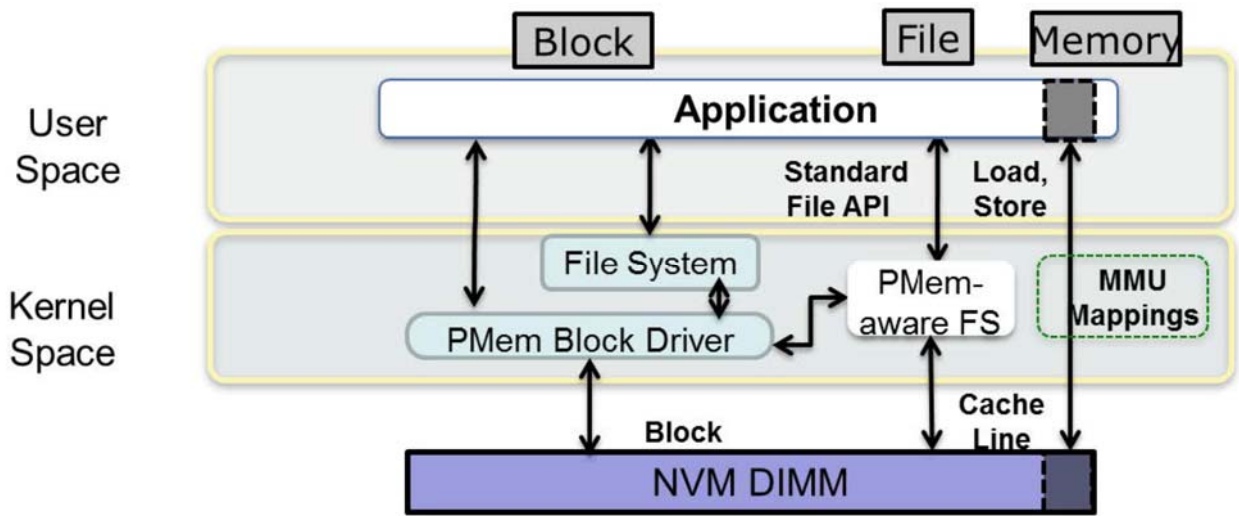


図 11-1. App Direct モードでは、インテル® Optane™ DC パーシステント・メモリー・モジュール上のデータはロードおよびストアで直接アクセスされます

### 11.1.3 モードの選択

ソフトウェア開発者は、アプリケーションと使用シナリオにどのモードが最も適しているか判断するため、さまざまな要因を考慮する必要があります。

- ・ 大きな容量のメモリー (プラットフォームの DRAM 容量より大きい) から利点は得られますか? 例えば、アプリケーションが頻繁にディスクへページングされる場合、メモリー容量が大きいほどページングは少なくなる可能性があります。また、大きなメモリー容量が利用可能な場合に異なるアルゴリズムを選択的に導入することで、パフォーマンスが向上するアプリケーション、および大きな容量が与えられると中間結果を保持して再利用することを選択するアプリケーションなども考えられます。
- ・ メモリー・サブシステムで永続性を使用する利点はありますか? これには、起動時間の短縮 (ディスクからメモリーへのデータロードの回避、再起動時のリンクリストやツリーなど「インメモリー」ポインターベース構造の再構築の回避など) が含まれます。これはまた、永続性への高速パスという利点を含みます。例えば、ディスクに代えてメモリーをデータの最終的な永続性のある保存先にすることができます。ディスクのレイテンシーや帯域幅に制約されるアプリケーションは、永続性のあるメモリーを使用することで利益を得られます。
- ・ アプリケーションはメモリー・レイテンシーからどれくらいの影響を受けますか? インテル® Optane™ DC パーシステント・メモリー・モジュールのレイテンシーは DRAM より長く、通常 DRAM の 3-4 倍となります。メモリーをインテル® Optane™ DC パーシステント・メモリー・モジュールと置き換えると、それらのアクセスをどの程度予測できるか、またはメモリーアクセスがレイテンシーにどれくらい影響を受けるかはさまざまな要因により異なります。その状況を説明するため、アプリケーションがインテル® Optane™ DC パーシステント・メモリー・モジュールから数 GB の連続した配列を読み取るシナリオを考えてみます。この場合、アクセスは空間的に予測で

きるため、ハードウェアおよびソフトウェア・プリフェッチャーによるプリフェッチは可能です。これにより、アプリケーションがデータを要求する前にデータは常にプロセッサ・キャッシュに存在する可能性があり、インテル® Optane™ DC パーシステント・メモリー・モジュールのレイテンシーは隠匿されます。しかし、アプリケーションがリンクリストを追跡するような場合、最初に現在のノードを読み取らなければ次のノードを識別することはできません (これを「ポインター追尾」と呼びます)。この場合、インテル® Optane™ DC パーシステント・メモリー・モジュールのレイテンシーは、アプリケーションから隠匿できません。もう 1 つの重要な考慮事項は、アプリケーションがメモリー・レイテンシーからどれくらいの影響を受けるかということです。アプリケーションのメモリー参照がインテル® Optane™ DC パーシステント・メモリー・モジュールへ展開されるのを待機する間に、プロセッサ・コアが別の有用なワークを実行できることがあります。この場合、有用なワークが実行されているため、パフォーマンスに大きな影響はありません。一方、インテル® Optane™ DC パーシステント・メモリー・モジュールからのメモリー参照を待機する間コアが停止すると、パフォーマンスに影響します。

アプリケーション全体がメモリー・レイテンシーに敏感な場合、どのメモリー構造が敏感であるか検証します。インテル® Optane™ DC パーシステント・メモリー・モジュール向きの用途は、上記の考慮事項に基づくメモリー・レイテンシーの影響をそれほど受けない大容量のデータ構造です。アクセス頻度が高く、メモリー・レイテンシーの影響を受ける小さなデータ構造ほど DRAM に適しています。

次の図は、考慮事項に基づく決定条件を示しています。

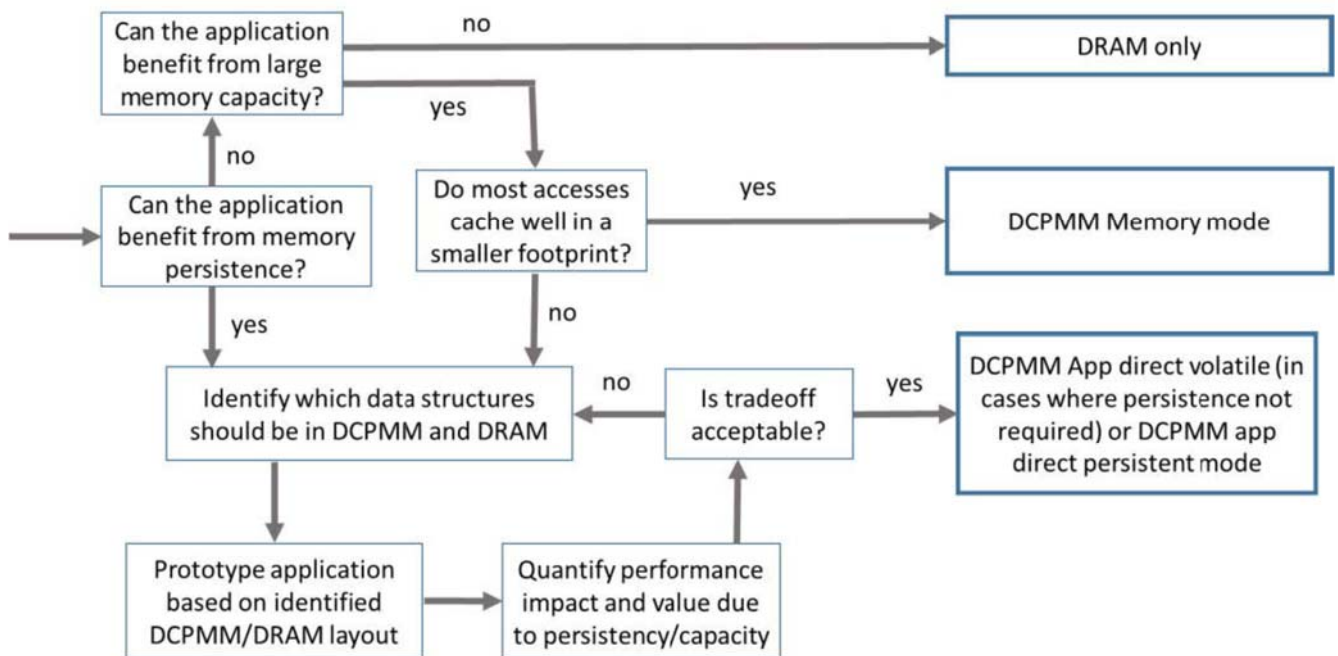


図 11-2. インテル® Optane™ DC パーシステント・メモリー・モジュールと DRAM の利用を決定する条件

## 11.2 インテル® Optane™ DC パーシステント・メモリー・モジュールのデバイス特性

前の節では、ソフトウェア開発者がデータ構造をインテル® Optane™ DC パーシステント・メモリー・モジュールに配置する際の考慮事項の 1 つは「メモリー・レイテンシーに対するパフォーマンスの影響」であることを述べました。この節では、この影響を判断するいくつかの考慮事項について説明します。これには、DRAM と異なるデバイス特性、メモリーの永続性など新しい機能を利用するために必要なソフトウェアの変更などが含まれます。

## 11.2.1 インテル® Optane™ DC パーシステント・メモリー・モジュールのレイテンシー

インテル® Optane™ DC パーシステント・メモリー・デバイスは、DRAM の素材と異なる材料で構成されるため DRAM とは異なるアクセス特性を持っています。次の表はシーケンシャルとランダムアクセスのリード・レイテンシーをまとめたものです。

表 11-1. インテル® Optane™ DC パーシステント・メモリー・モジュールのアクセス・レイテンシー

レイテンシー	インテル® Optane™ DC パーシステント・メモリー・モジュール	DRAM
アイドル・シーケンシャル・リードのレイテンシー	~170ns	~75ns
アイドル・ランダム・リードのレイテンシー	~320ns	~80ns

DRAM の場合、シーケンシャルとランダムアクセスのレイテンシーの差は数ナノ秒です。これは、シーケンシャル・アクセスにより、DRAM の行バッファのヒット数が増加するためです。しかし、インテル® Optane™ DC パーシステント・メモリー・モジュールでは、レイテンシーが全体的に DRAM と異なるだけでなく、シーケンシャルとランダムアクセスでも大きく異なります。

インテル® Optane™ DC パーシステント・メモリー・モジュールと DRAM のアクセス・レイテンシーの差は、パフォーマンスの観点からソフトウェア開発者にとって特別な考慮が求められます。プロセッサ・キャッシュ使用率を最適化する一般的なガイドラインについては、8 章「キャッシュ利用の最適化」をご覧ください。

Memory モードでは、DRAM キャッシュがほとんどのアクセスを吸収するため、アプリケーションでは DRAM に近いレイテンシーが生じることが予測されます。Memory モードでのインテル® Optane™ DC パーシステント・メモリー・モジュールへのアクセス・レイテンシーは、最初に DRAM キャッシュをルックアップするオーバーヘッドが生じるため、App Direct モードよりも最大 30 ~ 40 ns 長くなります。Memory モードでのパフォーマンスは、ワーキングセットを DRAM キャッシュサイズに収める従来のキャッシュのタイル化、および局所性の最適化手法を利用することで改善できます。

また、インテル® Optane™ DC パーシステント・メモリー・モジュールは、256 バイト単位でのバッファ機能を持っています。これは、シーケンシャルとランダムアクセスを区別する単位の 1 つであるといえます。そのため、ソフトウェア・データ構造を設計する考慮事項として、256 バイト内にデータを配置しまとめて読み取ることで、ランダムではなくシーケンシャル・アクセスのレイテンシーが得られます。

## 11.2.2 リードとライトの帯域幅

次の表に示すように、インテル® Optane™ DC パーシステント・メモリー・モジュールのアクセス特性は、DRAM と比べてリードおよびライトの帯域幅が異なります。

表 11-2. インテル® Optane™ DC パーシステント・メモリー・モジュールと DRAM の DIMM ごとの帯域幅

DIMM ごとの帯域幅	インテル® Optane™ DC パーシステント・メモリー・モジュール	DRAM
シーケンシャル・リード	~7.6GB/s	~15GB/s
ランダムリード	~2.4GB/s	~15GB/s
シーケンシャル・ライト	~2.3GB/s	~15GB/s
ランダムライト	~0.5GB/s	~15GB/s

上記から次のことが分かります。

1. リードとライトは非対称的であり、リード帯域幅はライト帯域幅よりも大きくなっています。これはソフトウェアの設計者にとって重要な考慮事項であり、判断材料に含める必要があります。たとえば、ランダムライトと高い書き

込み帯域幅を持つデータ構造は、インテル® Optane™ DC パーシステント・メモリー・モジュールには適していません。

- シーケンシャルとランダムアクセスの特性は大きく異なります。これも、DRAM とインテル® Optane™ DC パーシステント・メモリー・モジュール向けのデータ構造設計と配置を選択する上で考慮すべきことです。シーケンシャル・アクセスの利点を得るには、256B 単位での局所性を重視します。

帯域幅は、これらの DIMM を使用する際の一番の制約であり、図 11-3 の赤丸で示すように、DIMM の限界能力付近の帯域幅で操作しないようにすることが重要です。

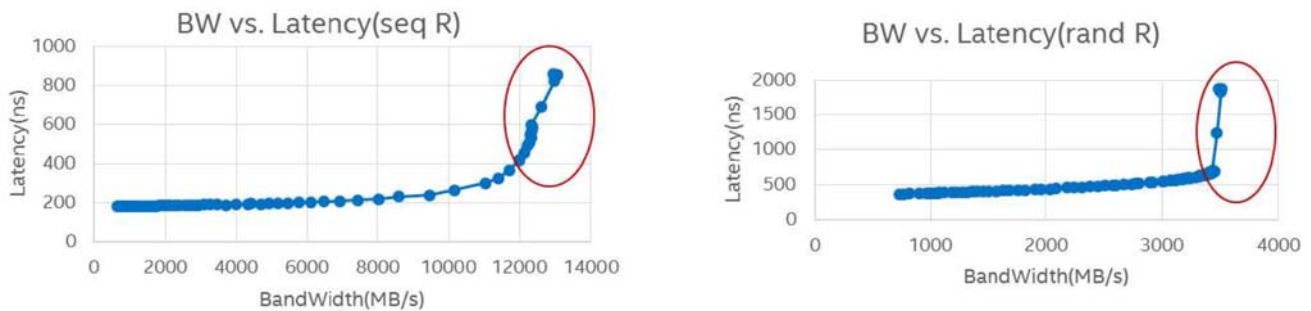


図 11-3. 単独のインテル® Optane™ DC パーシステント・メモリー・モジュール DIMM のロード・レイテンシー曲線: シーケンシャル・トラフィック (左) とランダム・トラフィック (右)

メモリー帯域幅が飽和状態に近づくと、レイテンシーが極端に高くなり、アプリケーションのパフォーマンスが低下する傾向があります。帯域幅に対する要求は、通常、メモリーアクセスを行うコア数、およびアクセスの性質 (シーケンシャル・アクセス・パターンとランダム・アクセス・パターン、リードとライトの混在) の関数です。一方、プラットフォームの帯域幅能力は、利用可能なチャネル数と DIMM 数の関数です。したがって、リードとライトのトラフィックとシステム的能力、例えば、インテル® Optane™ DC パーシステント・メモリー・モジュールに対するリードとライトのスレッド数、および使用されているメモリーチャネル数のバランスをとることが重要です。

インテル® Optane™ DC パーシステント・メモリー・モジュールへの書き込み中は、帯域幅が DRAM よりも制限されるため、書き込まれたデータの再利用が期待できない場合、または大きなバッファーへの書き込みは、通常のストアに代わって非テンポラルストアを使用することを推奨します。詳細は、「8.4.1.2」セクションを参照してください。

### 11.2.3 最適な帯域幅のスレッド数

前述のように、インテル® Optane™ DC パーシステント・メモリー・モジュール DIMM は、256B の粒度でデータをバッファリングして結合します。これは、インテル® Optane™ DC パーシステント・メモリー・モジュールのメモリーにアクセスするスレッドの数に影響する可能性があります。多数のスレッドがインテル® Optane™ DC パーシステント・メモリー・モジュール上のメモリーに同時書き込みを試みる場合、書き込みが他のスレッドによって妨害され空間の局所性が失われると、書き込み結合 (ライトコンバイン) と 256B の局所性の利点が失われます。その結果、各スレッドがシーケンシャルに書き込みを行っても、DIMM レベルでトラフィックはランダムに見えるようになります。そのため、インテル® Optane™ DC パーシステント・メモリー・モジュールへの書き込みを行うスレッド数がしきい値を超えると、シーケンシャル・アクセス帯域幅の代わりにランダムアクセス帯域幅が観測されるようになります。

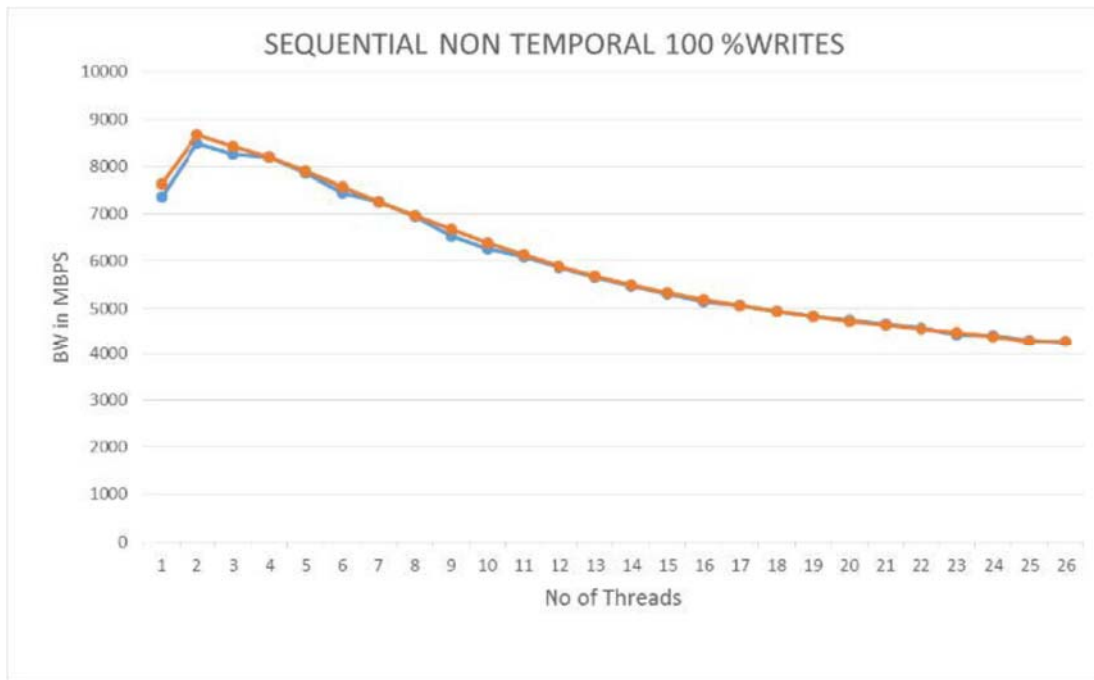


図 11-4. スレッド数と帯域幅<sup>1</sup>

注意:

- スレッド数が増加すると帯域幅は増加し、その後減少します。減少の理由は、アクセスが本質的にシーケンシャルであっても、メモリー・サブシステムにアクセスを要求するスレッドが増えるため (特に前述の 256B 単位での)、ライト・コンバイン・バッファ数の観点からは「連続性」が失われるためです。

図 11-5、図 11-6、および図 11-7 は、256B の局所性での結合の違いと、これに対するインテル® Optane™ DC パーシステント・メモリー・モジュールを参照するスレッド数の影響を示しています。データ構造の選択、およびインテル® Optane™ DC パーシステント・メモリー・モジュールへの同時アクセスでは、256B の局所性を考慮することが重要です。

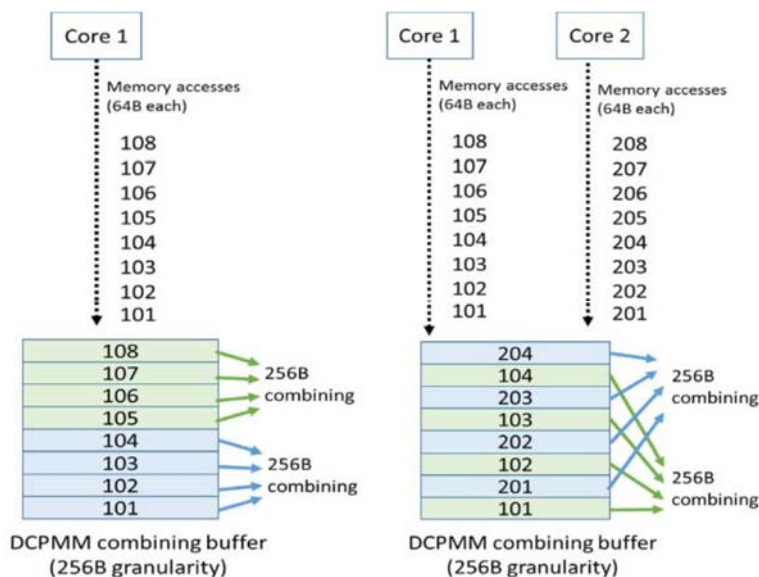


図 11-5. 2 つのコアを結合<sup>1</sup>

注意:

- 101, 102 などは、コア 1 からの 64B アクセスを指し、他のコアでも同様です。2 コアおよび 8 個のサンプルバッファ (これは、図説を目的としたバッファ数であることに注意してください) に対し、256B の粒度でバッファ内が 100% 結合されていることが分かります。これにより、メモリーシステムの視点からアクセスは 100% シーケンシャルになります。

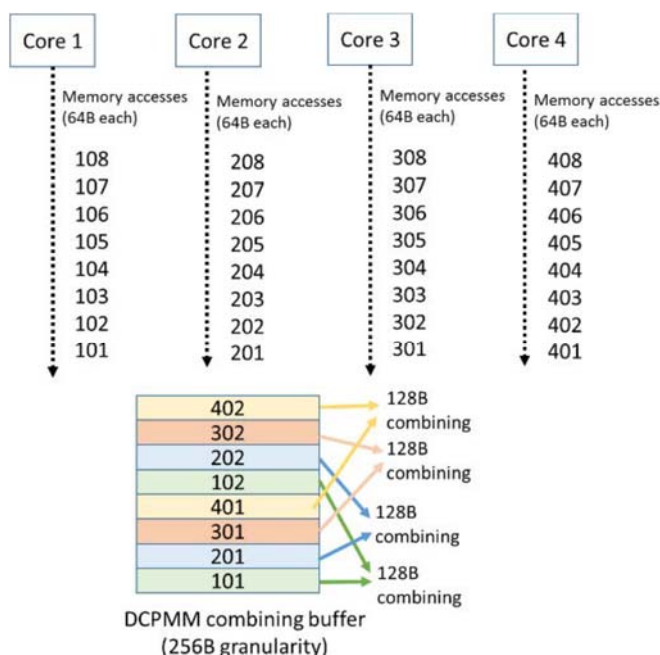


図 11-6.4 つのコアを結合<sup>1</sup>

注意:

- 101, 102 などは、コア 1 からの 64B アクセスを指し、他のコアでも同様です。4 コアおよび 8 個のサンプルバッファでは、256B の粒度でバッファ内の 50% が結合されます (バッファ一杯になり、処理を続行するには排出する必要があるため、128B のみ結合できます)。これにより、メモリーシステムの視点からアクセスは 50% シーケンシャルになります。

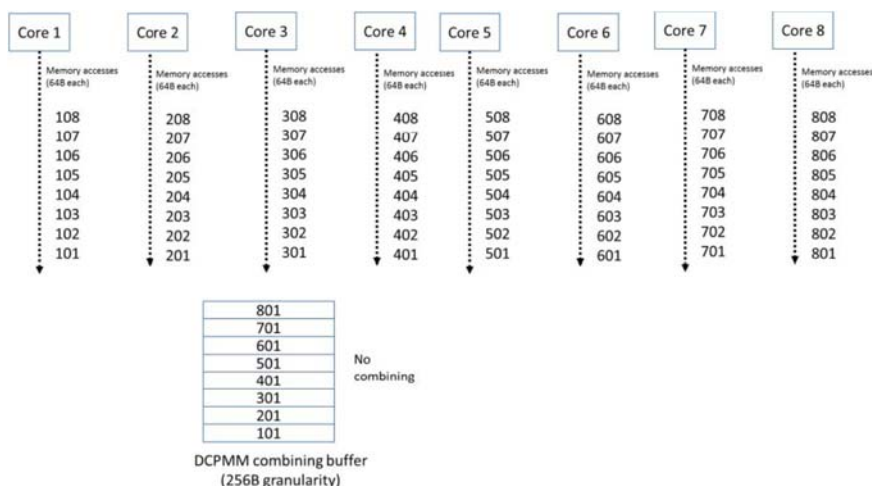


図 11-7.8 つのコアを結合<sup>1</sup>

注意:

- 8 コアでは結合されず、メモリーシステムの視点からアクセスはランダムになります。

## 11.3.2 つ目のタイプのメモリーを扱うことによるプラットフォームへの影響

### 11.3.1 マルチプロセッサのキャッシュ一貫性

複数のプロセッサを搭載したシステムでは、キャッシュの一貫性を保持するためディレクトリーが使用されます。このディレクトリーは、分散インメモリー・ディレクトリーとして実装され、各キャッシュラインの一貫性状態はメモリー内のライン自身のメタデータとしてストアされます。この実装は、スヌープベースのメカニズムよりも優れています。スヌープベースのメカニズムでは、それぞれのメモリーアクセスに対してプロセッサは、そのラインの一貫性状態を把握するため、常に他のプロセッサのキャッシュをチェックします (キャッシュラインが他の場所にあると、アクセスのレイテンシーは増加します)。

ディレクトリー・ベースのプロトコルでは、ディレクトリーは一貫性状態が変更されたかどうかを追跡します。例えば、他のプロセッサから読み取られたメモリーは、メモリー内のメタデータとして記録されます。このディレクトリーの更新は、一貫性状態の変化を記録するためメモリー (メタデータ) に書き込まれます。異なるプロセッサのコアが、インテル® Optane™ DC パーシステント・メモリー・モジュールの同じラインセットを繰り返し読み取ると、一貫性状態の変化を記録するためその都度インテル® Optane™ DC パーシステント・メモリー・モジュールへの書き込みが行われます。この書き込みは、「ディレクトリー書き込み」と呼ばれ、基本的にランダムとなる傾向があります。その結果、本来アプリケーションが利用できるインテル® Optane™ DC パーシステント・メモリー・モジュールの帯域幅が、ディレクトリー書き込みにより低下する可能性があります。ソフトウェアの観点から、インテル® Optane™ DC パーシステント・メモリー・モジュールへの異なるスレッドによるアクセス方法を考慮する価値があります。この種のパターンが観察される場合、システム全体でディレクトリーを無効化することでインテル® Optane™ DC パーシステント・メモリー・モジュール領域の一貫性プロトコルをディレクトリー・ベースからスヌープベースに変更すべきです。

### 11.3.2 メモリー階層の共有キュー

Cascade Lake<sup>†</sup> 製品ベースのプロセッサでは、DRAM とインテル® Optane™ DC パーシステント・メモリー・モジュールへのアクセスは大部分が独立しています。ただし、DRAM とインテル® Optane™ DC パーシステント・メモリー・モジュールの両方のメモリー参照がメモリー・サブシステムの同じパスを通過すると、相互に影響することがあります。例えば、DRAM とインテル® Optane™ DC パーシステント・メモリー・モジュール間には共通のプロセッサ・キューがあります。このキューを調整するには BIOS の QoS 設定を使用します。同様に、DRAM とインテル® Optane™ DC パーシステント・メモリー・モジュールは、同じメモリーチャンネルを共有できます (チャンネルごとに個別のキューがありますが、チャンネルは共有されます)。これら個別のキューの切り替えを制御する設定があります。細かい粒度で切り替えるとレイテンシーが最適化され、荒い粒度で切り替えるとバーストが増加し帯域幅が最適化されます。これらは BIOS 設定で提供されます。詳細については、BIOS の最適化ガイドを参照してください。

## 11.4 メモリー永続性の実装

App Direct モードでは、ソフトウェアが永続性を使用する際に、メモリーストアが永続的であることを明示的に制御したいことがあります。しかし、プロセッサ・コアがライト命令を発行すると、データはフィルバッファで結合され、更新されたキャッシュラインはプロセッサの揮発性キャッシュにストアされます。永続性を保持するため、ソフトウェアは更新されたプロセッサ・キャッシュを明示的に排出する必要があるかもしれません。これは、キャッシュライン・フラッシュ命令 (CLFLUSH/CLFLUSHOPT/CLWB) を使用して行われます。通常、8.4.6 節の「CLFLASH 命令」と 8.4.7 節の「CLFLUSHOPT 命令」で示すように、CLFLASH よりも CLFLUSHOPT の使用が推奨されます。

フラッシュされたデータを再利用するには、CLWB を使用することを推奨します。CLWB は、永続化のためフラッシュされたキャッシュラインのコピーを保持します。その結果、後続のアクセス (データの再利用) でラインがキャッシュにヒットし、アクセス・レイテンシーが短縮されます。大きなメモリー範囲のわずかな領域だけが実際に更新される場合、更新された領域を追跡してそれらのみをフラッシュするのが有効です。特に、オペレーティング・システムが、書き込まれたページ (汚染された) を追跡して、そのページのみをフラッシュできれば、少ない範囲の書き込みで済むためさらに効率的です。ほぼ範囲全体が書き込まれる場合、ユーザー空間で最適化されたコードでフラッシュを実装する方



が効果的である可能性があります。

図 11-8 は、Linux\* 上でわずかなファイルな汚染されるケースの msync の効率を示しています。一方、ほとんどのファイルが汚染されるケースでは、ユーザー空間で CLFLUSHOPT 命令を使用する方が効果的です。

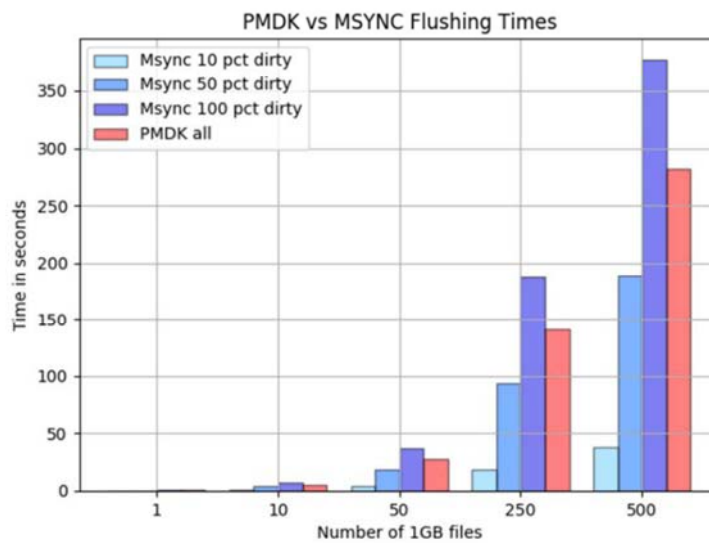


図 11-8. PMDK と MSYNC のフラッシュ時間<sup>1</sup>

注意:

1. ファイルの 10% または 50% が汚染されている場合、ソフトウェアの観点からはユーザー空間でフラッシュせず msync を使用するのが適切です。ファイルの 100% が汚染されていると、ユーザー空間で実装する (PMDK と示される) 方が効果的です。

## 11.5 消費電力

一般に、インテル® Optane™ DC パーシステント・メモリー・モジュールの帯域幅は、次の図に示すように消費電力によって制限されます。RAPL (Runtime Average Power Limiting) などの技術を使用することでソフトウェアによって電力が制御される場合、全体の帯域幅は適切に制限されます。

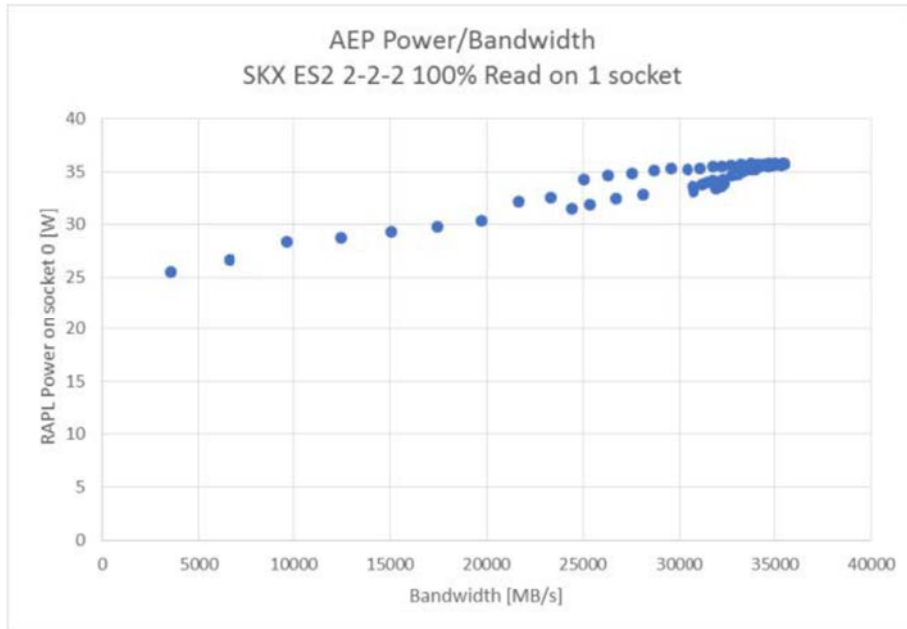


図 11-9. 帯域幅と消費電力

### 11.5.1 リード - ライトの等価性

インテル® Optane™ DC パーシステント・メモリー・モジュールでは、リードよりもライトにはるかに大きな電力コストがかかります。一般的な指標として、一度の書き込みで 3 回分の読み取りと同等の電力を消費します。これは、リードとライトの消費電力がほとんど変わらない DRAM とは対照的です。したがって、書き込みを控えめにすべきことは明らかです。これは、インテル® Optane™ DC パーシステント・メモリー・モジュールのアクセスにおいて、ソフトウェアによる書き込みの増加は、読み取りの増加よりもはるかに高価であることを意味します。データ構造を設計する際にこれを考慮する必要があります。たとえば、何度か再調整する必要があるツリー構造では、ロックアップのため読み取りが多く挿入の書き込みが少ないデータ構造と比較して、大量の書き込みが発生する可能性があります。

利用可能な電力バジェットにより、リードとライトの比率が最大帯域幅を決定します。例えば、複数のスレッドがインテル® Optane™ DC パーシステント・メモリー・モジュールへの書き込みを行う場合、書き込みを行うスレッドが消費する電力がプラットフォームで利用可能な総電力から差し引かれます。次の図は、合計電力バジェット内でのインテル® Optane™ DC パーシステント・メモリー・モジュール DIMM の読み取りと書き込みの等価性を示します。

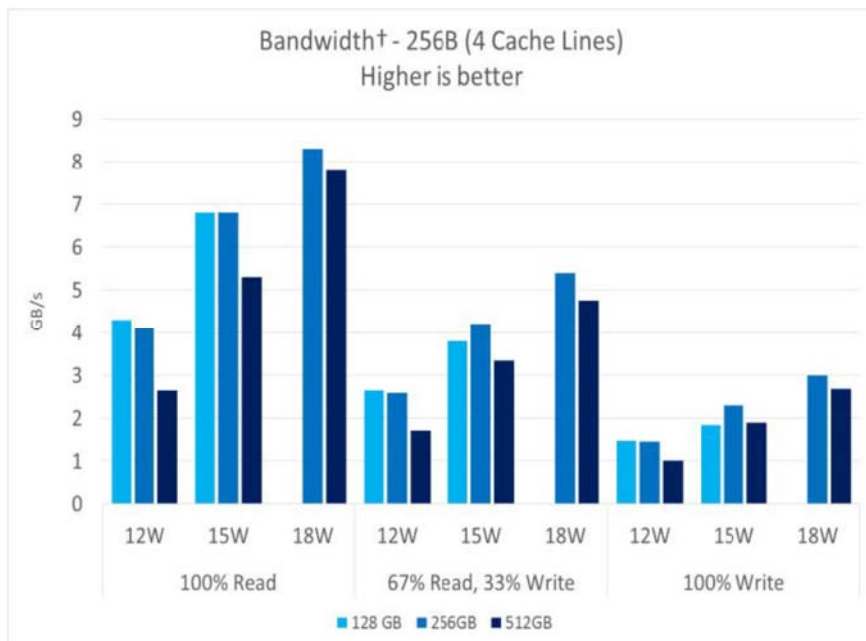


図 11-10. 異なる電力バジェット<sup>1</sup> でのインテル® Optane™ DC パーシステント・メモリー・モジュール DIMM のリード/ライトの等価性

注意:

1. 左のバーは 100% 読み取りを示しています。このシナリオでは、15W の電力バジェットでおよそ 6.9GB/秒の読み取りが可能です。ただし、同じ 15W の電力バジェットでも書き込みは 2.1GB/秒のみが可能です。

### 11.5.2 空間と時間の局所性

消費電力を最適化することに加え、256B 粒度でのデータアクセスと組み合わせることの影響を考慮します。次の図に示すように、アクセスに局所性がない場合、アプリケーションで利用可能な帯域幅はかなり制限されます。

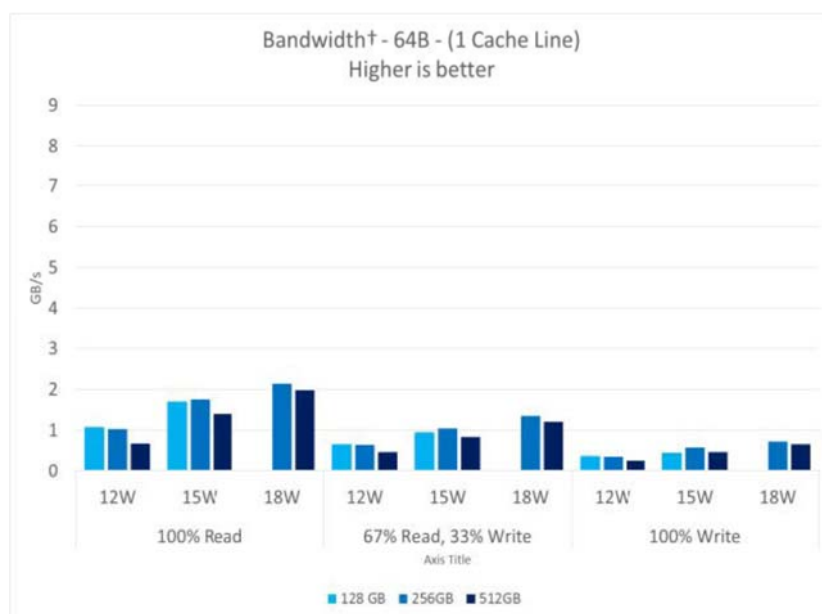


図 11-11. 256B 単位の局所性がない場合の帯域幅

図 11-11 から、帯域幅の視点から電力バジェットを利用するには、256B 以内のアクセス局所性を持つデータ構造を選択することが重要であることがわかります。具体的には、図 11-10 と図 11-11 を比較すると、256B ウィンドウのアクセス局所性の導入により、帯域幅が最大 3 ~ 4 倍向上しています。

インテル® Optane™ DC パーシステント・メモリー

† 開発コード名